

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2803543号

(45)発行日 平成10年(1998) 9月24日

(24)登録日 平成10年(1998) 7月17日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 4

21/336

3 0 1 Z

29/78

請求項の数 2 (全 6 頁)

(21)出願番号 特願平5-331476

(22)出願日 平成5年(1993)12月27日

(65)公開番号 特開平7-193226

(43)公開日 平成7年(1995)7月28日

審査請求日 平成7年(1995)3月16日

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 黄 俐昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

審査官 松田 成正

(58)調査した分野(Int.Cl.⁶, DB名)

H01L 29/786

H01L 21/336

H01L 29/78

(54)【発明の名称】 電界効果型トランジスタの解析方法及び解析装置

1

(57)【特許請求の範囲】

【請求項1】SOI基板上に形成された電界効果型トランジスタの特性を解析する方法において、

ドレイン電極からの二次元的な電界分布によりもたらされる、ゲート酸化膜付近の電界を、ゲート電極と、ゲート電圧に依存しない、ゲート電極下部のある位置において設けられた仮想的な電極との、二つの電極間に形成される一次元の電位分布によって近似し、該一次元の電位分布を用いた一次元的な解法により、トランジスタの諸特性及び電気的諸量を計算し求める電界効果型トランジスタの解析方法。

2

【請求項2】SOI基板上に形成された電界効果型トランジスタの特性を解析するデバイスシミュレータにおいて、

基板方向をy軸、二次元もしくは三次元の解析により求められるy方向の真の電位を $\phi(y)$ 、SOI膜中にある点 y_0 の電位を $\phi(y_0)$ 、ゲート電圧を V_g としたとき、式(1)で表されるyに依存する電位 $V(y)$ 、及び $V(y)$ を V_g によって微分した量として式(2)で表される値 $A(y)$ 、を定義し、

【数1】

10

$$V(y) = \phi(y_0) + y \left. \frac{d\phi(y)}{dy} \right|_{y=y_0} \quad (1)$$

【数2】

10

$$A(y) = \frac{dV(y)}{dV_g} \quad (2)$$

この時、 $A(y)$ がゼロとなるか極小値をとるかまたはある一定の値より小さくなる条件を満たす

$y = y_1$ (3)

の位置に、その電位が $V(y_1)$ で表される仮想的な電極を配置し、該仮想的な電極とゲート電極によってもたらされる、一次元的な電位分布を計算することにより、トランジスタの特性を求める、電界効果型トランジスタの解析装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はSOIMOSFETの解析方法と装置に関する。

【0002】

【従来の技術】電界効果型トランジスタの短チャネル化に伴い、ドレイン電極からの二次元的な電位分布の影響により、特性が変動する短チャネル効果が顕著になる。

$$\frac{d\phi}{dy} \bigg|_{y=t_{ox}+t_{soi}} = \frac{\epsilon_{ox}}{\epsilon_{si}} \cdot \frac{V_{eff,sub} - \phi_0(x)}{t_{box}} \quad (1)$$

(ここで $V_{eff,sub}$ は仮想的な基板電位である。)

40

【0005】と表し、これを用いて、一次元的式により、SOIMOSFETの特性パラメータであるサブスレッショルドスウィングSを解くものである。

【0006】

【発明が解決しようとする課題】二次元デバイスシミュレータは、規模の大きな連立方程式を解くために、大きな計算時間、メモリ容量が必要である。また、ゲート酸化膜厚、ゲート長などの設計パラメータを変更する度に、二次元的な構造の設定、計算に用いるメッシュ位置などの設定をやり直す必要があり、多くの設計パラメー

50

短チャネル効果を解析するためには、電位分布の二次元的な影響を取り扱える、二次元デバイスシミュレータを用いる必要がある。二次元デバイスシミュレータは、例えば檜良編、プロセス・デバイス・シミュレーション技術(産業図書、1988年)、第三章に述べられている。二次元デバイスシミュレータは、与えられた形状を持つ素子の各点の電位を、連立方程式を解くことにより求める構成をとっている。

【0003】また、ヨアヒム(H.-O. Joachim)らは、電子情報通信学会シリコン材料・デバイス研究会技術報告、SDM-92-104に、SOIMOSFETの電位分布を一次元的に解くモデルを提案している。このモデルはゲート電極-基板方向の電界強度を

【0004】

【数3】

タに対する特性の依存性を得るには、大きな人的作業量が必要である。

【0007】また、ヨアヒムらのモデルは一次元のモデルにより、計算を簡略化できるが、仮想的な基板電位を計算に用いており、この仮想的な基板電位はバイアス条件ごとに繰り返し計算するか、または経験式により決定しなければならない。この場合バイアス条件毎に計算を繰り返すと計算時間が増大し、また経験式に基づいて決定すると数値的な厳密性が失われる。

【0008】

5

【課題を解決するための手段】ドレイン電極による二次元的な電界を、一次元の電界によって近似できる等価電極の位置および電位を計算によって求め、これを用いてSOIMOSFETの特性を一次元モデルによって計算する。

【0009】また、ソース電極、基板電極等の影響も含めた二次元的な電位分布を該等価電極による一次元の電界により近似する。

$$V(y) = \phi(x) + y \frac{d\phi(y)}{dy} \Big|_{y=y_0} \quad (1)$$

【0012】

【数5】

$$A(y) = \frac{dV(y)}{dV_g} \quad (2)$$

【0013】この時、 $A(y)$ がゼロとなるか極小値をとるかまたはある一定の値より小さくなる条件を満たす。

【0014】 $y = y_1$ (3)

の位置に、その電位が $V(y_1)$ で表される仮想的な電極を配置し、該仮想的な電極とゲート電極によってもたらされる、一次元的な電位分布を計算することにより、トランジスタの特性を求める。

【0015】

【作用】図2にSOIMOSFETの概略図を示す。図中の矢印は電気力線9であり、これは二次元的な電位分布を反映し、ドレイン電極7から、曲線を描いてゲート電極5及びシリコン基板1へ向かう。しかしその一方で、電極の電荷分布に極端な偏りがない限り、電気力線

$$V(y) = \phi(y_0) + y \frac{d\phi(y)}{dy} \Big|_{y=y_0} \quad (1)$$

【0018】で表される。等価電極8の電位はゲート電圧に依存してはならないので、等価電極を置く位置において式(1)は、

【0019】

【数7】

$$\frac{dV(y)}{dV_g} = 0 \quad (2)$$

【0020】を満たす必要がある。この条件を満たす y の値が、等価電極8のゲート電極5からの距離を与え、等価電極8の位置を示すことになる。そして等価電極8の電位は、その位置を(1)式に代入して求める。また、 $\phi(y)$ の与え方によって、(2)式を満たす y がない場合には、

【0021】

【数8】

6

【0010】また、本発明の解析装置では、基板方向を y 軸、二次元もしくは三次元の解析により求められる y 方向の真の電位を $\phi(y)$ 、SOI膜中にある y_0 の電位を $\phi(y_0)$ としたとき、式(1)で表される y に依存する電位 $V(y)$ 及び式(2)で表される値 $A(y)$ を定義し、

【0011】

【数4】

9は電極に対して垂直に進入しなければならない。したがって、トランジスタ特性を支配するゲート酸化膜4付近の電気力線9は、すべてゲート電極5に対して垂直で、互いに平行な直線にならなければならない。このように、ゲート酸化膜4近傍の電気力線9が直線になることを考慮すると、図1のように、横方向のそれぞれの位置に対して、ゲート酸化膜4近傍の電気力線9を直線の電気力線によって再現する等価電極8を考えることができる。これはドレイン電極7からの二次元的な電位分布を等価的な一次元の電位分布に置き換えられることを意味する。

【0016】等価電極8が通常の電極と同様に扱えるためには、等価電極8の電位がゲート電圧に依存してはならない。そこで次のように考える。直線的な電気力線によりもたらされる電位 $V(y)$ は、基板方向を y 軸とし、 y 方向における真の電位を $\phi(y)$ 、SOI膜中のある点 y_0 の電位を $\phi(y_0)$ とすると、

【0017】

【数6】

$$\frac{dV(y)}{dV_g} = A(y) \quad (2)$$

【0022】とおくと、必要とするバイアス条件下で、 $A(y)$ が極小値をとるか、あるいはある一定の値より小さくなる y の値を、ゲート電極5と等価電極8との距離とすれば良い。等価電極8の位置は真の電位を与える関数 $\phi(y)$ を用いることにより、ゲート酸化膜厚、SOI膜厚、埋め込み酸化膜厚、ゲート長に依存する値として求められる。等価電極とゲート電極間の一次元的電位分布を求めることにより、しきい値電圧、サブスレッショルドスウィング等の特性パラメータを決定する。

【0023】また、ソース電極、基板電極等、ドレイン電極以外の電極による電界の影響を等価電極8の位置、電位の決定に際して配慮し、前二者の影響を等価電極8により代表させてもよい。

50 【0024】

【実施例】図3のような、ゲート長 L 、SOI膜厚 T_{SOI} 、ゲート酸化膜厚 T_{OX} 、埋め込み酸化膜厚 T_{BOX} のSOIMOSFETを想定する。このトランジスタはSOI膜3に不純物を導入しない完全空乏化型SOIMOSFETである。式(1)の $\phi(y)$ としてウー(Wo)の解析式(アイ・イー・イー・イー・トランザクション・オブ・エレクトロン・デバイス、37巻、198

5ページ、IEEETrans. ED-37)を用いると、式(2)を満たす y が求められ、この y の値をトランジスタの等価電極のゲート電極からの距離 d とする

と、 d は、

【0025】

【数9】

$$1 - \sum_n (A_n + C_n) \cdot \sin \{n\pi (T_{OX} + T_{SOI})/b\}$$

$$d = \frac{\sum_n n\pi (A_n + C_n) \cdot \cos \{n\pi (T_{OX} + T_{SOI})/10/b\}}{\sum_n n\pi (A_n + C_n) \cdot \cos \{n\pi (T_{OX} + T_{SOI})/10/b\}} + T_{OX} + T_{SOI} \quad (4)$$

ここで

$$A_n = \{2/(n\pi)\} \cdot \{b/n\pi T_{OX}\} \cdot \sin(n\pi T_{OX}/b) \cdot \sinh(n\pi cL/b)/\sinh(n\pi L/b) \quad (5)$$

$$C_n = \{2/(n\pi)\} \cdot \{b/n\pi T_{OX}\} \cdot \sin(n\pi T_{OX}/b) \cdot \sinh(n\pi (1-c)L/b)/\sinh(n\pi L/b) \quad (6)$$

$$b = T_{SOI} + T_{OX} + T_{BOX} \quad (7)$$

$$T_{SOI} = T_{SOIO}/3 \quad (8)$$

【0026】である。また式(1)の y_0 は、SOI膜 20 25とする。

3と埋め込み酸化膜2の境界として、

$$y_0 = T_{OX} + T_{SOI} \quad (9)$$

とした。ここで、 T_{OX} はゲート酸化膜厚、 T_{SOIO} はSOI膜厚、 T_{BOX} は埋め込み酸化膜厚、 L はゲート長である。ここで定数 c は1以下の正の値であり、例えば0.

【0027】また等価電極の電位 V_{equi} は、式(1)とウーの式、及び式(4)で求めた d の値を用いて、

【0028】

【数10】

$$V_{equi}$$

$$= \sum_n (a_n + c_n) \cdot \sin \{n\pi (T_{OX} + T_{SOI})/b\}$$

$$+ \sum_n (a_n + c_n) \cdot \cos \{n\pi (T_{OX} + T_{SOI})/b\} \cdot n\pi (d - 3T_{SOI} - T_{OX})/b \quad (10)$$

【0029】

【数11】

$$a_n = \frac{2(\phi_d - \phi_s) \cdot b \cdot \sin(n\pi T_{OX}/b) \cdot \sinh(n\pi cL/b)}{(n\pi)^3 \cdot T_{OX} \cdot \sinh(n\pi L/b)} \quad (11)$$

$$c_n = \frac{2(\phi_d - \phi_s) \cdot b \cdot \sin(n\pi T_{OX}/b) \sinh(n\pi (1-c)L/b)}{(n\pi)^3 \cdot T_{OX} \cdot \sinh(n\pi L/b)} \quad (12)$$

【0030】となる。ここで ϕ_d はドレイン電極の電圧、 ϕ_s はソース電極の電圧、 ϕ_g はゲート電極の電圧である。そして、SOI表面に対するしきい値電圧 V

ths、サブスレッショルドスウィング S_s 、SOI底面に対するしきい値電圧 V_{thb} 、サブスレッショルドスウィング S_b を、次のように求める。

$$V_{ths} = V_{equi} - (V_{equi} - \phi_s) \cdot (d - 2T_{SOIO}/3) \cdot (d - T_{OX} - 2T_{SOIO}/3) \quad (13)$$

$$S_s = (d - 2T_{SOIO}/3) \cdot (d - 2T_{SOIO}/3 - T_{OX}) \cdot 0.06 \quad (14)$$

$$V_{thb} = V_{equi} - (V_{equi} - \phi_s) \cdot (d - 2T_{SOIO}/3) \cdot (d - T_{OX} - T_{SOIO}) \quad (15)$$

$$S_b = (d - 2T_{SOIO}/3) \cdot (d - 2T_{SOIO} - T_{OX}) \cdot 0.06 \quad (16)$$

但し、 ϕ_s はしきい値における、表面ポテンシャルである。またこれらの式は、ゲート電極とソース電極の仕事

関数差を無視した場合である。

【0031】この実施例では、SOI層3中の不純物濃

度をゼロとしたが、不純物濃度依存性は、真の電位を与える式（式（1）の $\phi(y)$ ）もしくは、一次元的取り扱いをする式（本実施例では式（13）－（16））の少なくとも一方にその効果を導入すれば扱える。従って計算を簡略化するために、一次元的取り扱いをする式だけに導入してもよい。

【0032】以上の計算を行うプログラムをパーソナルコンピュータ、ワークステーション、汎用機などの計算機に導入するか、マイクロプロセッサを用いた論理回路のROM等に導入することにより、電界効果型トランジスタ解析装置が形成される。装置の構成は図4のとおりである。ここで入力装置11はキーボード、出力装置12はディスプレイ、プリンタ、主記憶装置13は半導体メモリ、補助記憶装置14はフロッピーディスクドライブ、ハードディスクドライブ、CDROMドライブ、テープレコーダ等である。これらの装置と中央演算装置10は電氣的配線によって互いに接続する。中央演算装置10を駆動し、上記計算を行わせるプログラムを主記憶装置13に配置するか、もしくは補助記憶装置14から読み込み、入力装置11もしくは補助記憶装置14から入力したパラメータを用いて、中央演算装置10により、等価電極8の位置及び電位を計算し、その値を主記憶装置13もしくは補助記憶装置14に書き込む。次に等価電極8の電位、位置を主記憶装置13もしくは補助記憶装置14から読み出して、これを用いてしきい値電圧、サブスレッショルドスウィングなどの特性パラメータあるいは電位等の電氣的諸量を計算し、その結果を出力装置12、もしくは補助記憶装置14に出力する。もしくは主記憶装置13に書き込み、求めた値を用いる計

算の使用に供する。

【0033】なお、入出力装置11は通信回線に置き換えてもよい。また、数値計算を補助する演算装置を付加してもよい。主記憶装置13に置かれるプログラムは中央演算装置10が直接実行できる命令体系の集合体であってもよく、またインタプリタもしくはエミュレータ等のプログラムを用いて、逐次解釈実行するためのデータの集合体であってもよく、また直接実行可能な形式に適切なプログラムを用いて変換可能なデータの集合体であってもよい。また、プログラムは補助記憶装置14に置かれ、実行の必要に応じて主記憶装置13上に移されてもよい。また、等価電極8の位置、電位など計算により求めた値もしくは計算に必要な値は、主記憶装置13上に置かず、中央演算装置10のレジスタに直接置いてもよい。また中央演算装置10と他の装置の中間に、キャッシュメモリもしくは、補助的な演算装置を配置してもよい。

【0034】（実施例のバリエーション）式（5）、（6）、（11）、（12）に対してそれぞれ

$$A_n = \{2 / (n\pi)\} \cdot [\{b / (n\pi T_{OX})\} \cdot \sin(n\pi T_{OX}/b) + \{b / (n\pi T_{BOX})\} \cdot \sin\{n\pi(T_{OX} + T_{SOI})/b\}] \cdot \sinh(n\pi cL/b) / \sinh(n\pi L/b)$$

$$C_n = \{2 / (n\pi)\} \cdot [\{b / (n\pi T_{OX})\} \cdot \sin(n\pi T_{OX}/b) + \{b / (n\pi T_{BOX})\} \cdot \sin\{n\pi(T_{OX} + T_{SOI})/b\}] \cdot \sinh(n\pi(1-c)L/b) / \sinh(n\pi L/b)$$

【0035】

【数12】

$$a_n = \frac{2(\phi_a - \phi_s) \cdot b \cdot \sin(n\pi T_{OX}/b) \cdot \sinh(n\pi cL/b)}{(n\pi)^2 \cdot T_{OX} \cdot \sinh(n\pi L/b)}$$

$$+ \frac{2(\phi_a - \phi_b) \cdot b \cdot \sin\{n\pi(T_{OX} + T_{SOI})/b\} \cdot \sinh(n\pi cL/b)}{(n\pi)^2 \cdot T_{BOX} \cdot \sinh(n\pi L/b)}$$

$$c_n = \frac{2(\phi_s - \phi_a) \cdot b \cdot \sin(n\pi T_{OX}/b) \cdot \sinh(n\pi cL/b)}{(n\pi)^2 \cdot T_{OX} \cdot \sinh(n\pi L/b)}$$

$$+ \frac{2(\phi_s - \phi_b) \cdot b \cdot \sin\{n\pi(T_{OX} + T_{SOI})/b\} \cdot \sinh(n\pi(1-c)L/b)}{(n\pi)^2 \cdot T_{BOX} \cdot \sinh(n\pi L/b)}$$

【0036】としても良い。ここで ϕ_b は基板電位である。

【0037】

【発明の効果】本発明の解析方法は、ヨアヒムらの用いた仮想的な基板電位に替わり、ドレイン電極に対する等

価電極を用いている。この結果、ヨハヒムらの方法と異なり、ゲートバイアス条件ごとの繰り返し計算もしくは経験式による値の決定が必要なく、計算時間の短縮及び数値の厳密性が得られる。また本発明においては短チャネル効果の原因であるドレイン電極の影響を直接扱える

という利点がある。

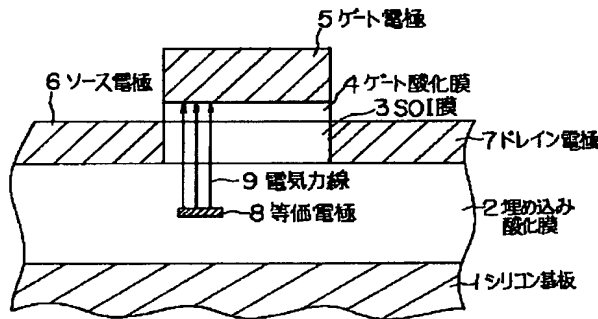
【0038】この方法を用いる解析装置は、二次元効果が計算の容易な一次元電位分布に帰結されるので、二次元デバイスシミュレータのように大規模な連立方程式による数値計算を行うことなく、二次元効果の特性パラメータへの影響を求めることができる。従って、小規模な計算機環境により実現が可能であり、また計算所要時間も大きく短縮される。また、二次元的な構造を計算の都度設定する必要なく設計パラメータ依存性を求められ、人的作業時間もまた大きく節減できる。

【0039】本発明により、これまで二次元デバイスシミュレータにより、大規模なメモリを使用し、長時間を要して行われていた作業を、簡単に行うことができる。その効果は、従来大型計算機もしくはエンジニアリングワークステーションを用いて数日ないし数週間を要した解析作業を、パーソナルコンピュータ程度の規模を有する装置により、数十秒ないし数分で完了させることができる。

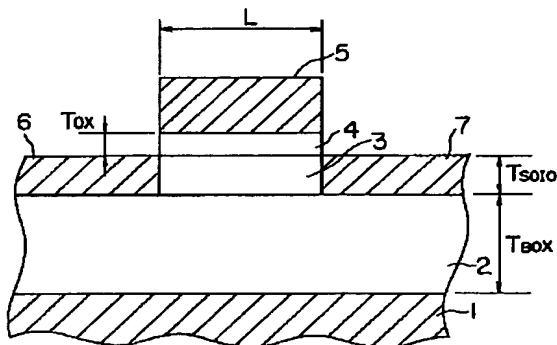
【図面の簡単な説明】

【図1】等価電極による直線的な電気力線を示す図であり、また実施例における等価電極を示す図である。

【図1】



【図3】



【図2】ドレイン電極による二次元的な電気力線を示す図である。

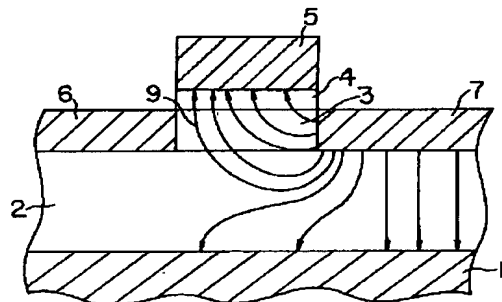
【図3】実施例において解析を行う素子構造を示す図である。

【図4】解析装置の構成を示す図である。

【符号の説明】

- 1 シリコン基板
- 2 埋め込み酸化膜
- 3 SOI膜
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 ソース電極
- 7 ドレイン電極
- 8 等価電極
- 9 電気力線
- 10 中央演算装置
- 11 入力装置
- 12 出力装置
- 13 主記憶装置
- 14 補助記憶装置

【図2】



【図4】

